

HELIDA TECH DATA ACQUISITION BOARD (DAQ)

ARBITRARY WAVEFORM GENERATOR

HLD-PCIe-A2D2 系列 2路DAC + 2路ADC 数据采集卡

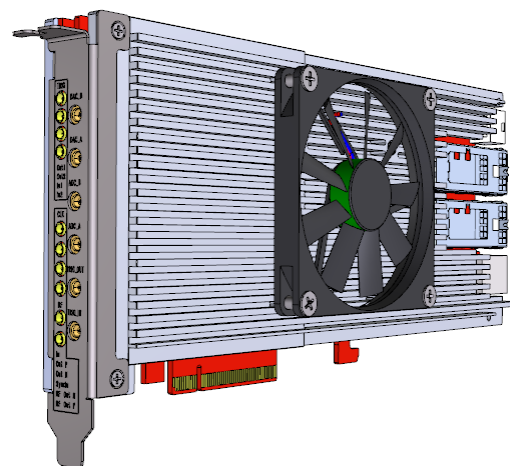
产品介绍

HLD-PCIe-A2D2-T01数据采集卡，是专为集任意波形发生与数据采集一体式测量应用设计的板卡。具有如下特性：

- 1 2个模拟输入通道、14bit位宽、5Gsp/s采样率
- 2 模拟输入带宽1.5GHz (-3db)
- 3 支持AC或DC耦合、50或1M匹配、设置电压偏置
- 4 板卡带零点校正与标点校正（存储在EEPROM）
- 5 板卡具有频率校正（校正后频率准确度 $< \pm 40\text{PPB}$ ）
- 6 输入范围： $\pm 1\text{V} / \pm 500\text{mV} / \pm 250\text{mV} / \pm 125\text{mV} @ 1\text{M}\Omega$
 $\pm 10\text{V} / \pm 5\text{V} / \pm 2\text{V} / \pm 1\text{V} / \pm 500\text{mV} / \pm 250\text{mV} / @ 50\Omega$
- 7 触发输入比较器阈值可配置0至2.5V（50 Ω 匹配）
- 8 触发输入与数据的同步精度可达64ps
- 9 2个DAC输出通道，每个通道最大6Gsp/s、14bit位宽
- 10 PCIe $\times 8$ Gen 3高速接口、板载8GB数据缓存
- 11 多种工作模式可选（支持用户定制功能）

目前有如下型号：

型号	通道数 ADC/DAC	采样率(SPS) ADC/DAC	带宽(Hz) ADC/DAC	分辨率(Bit) ADC/DAC	内存	备注
-T01	2 / 2	5G / 6G	1.5G / 800M	14 / 14	单 8G	64 位
-T02	2 / 2	5G / 6G	1.5G / 800M	14 / 14	4G + 4G	32 + 32 位
-T03	2 / 2	4G / 6G	1.5G / 800M	12 / 14	4G + 4G	32 + 32 位



典型应用场所：

- 1 超声 / 医疗成像
- 2 高端测试仪器（AWG）
- 3 激光雷达 / FMCW雷达
- 4 无线通信（SDR）
- 5 雷达、声呐与电子对抗
- 6 激光诱导荧光（LIF）

功能框图 (Hardware block diagram)

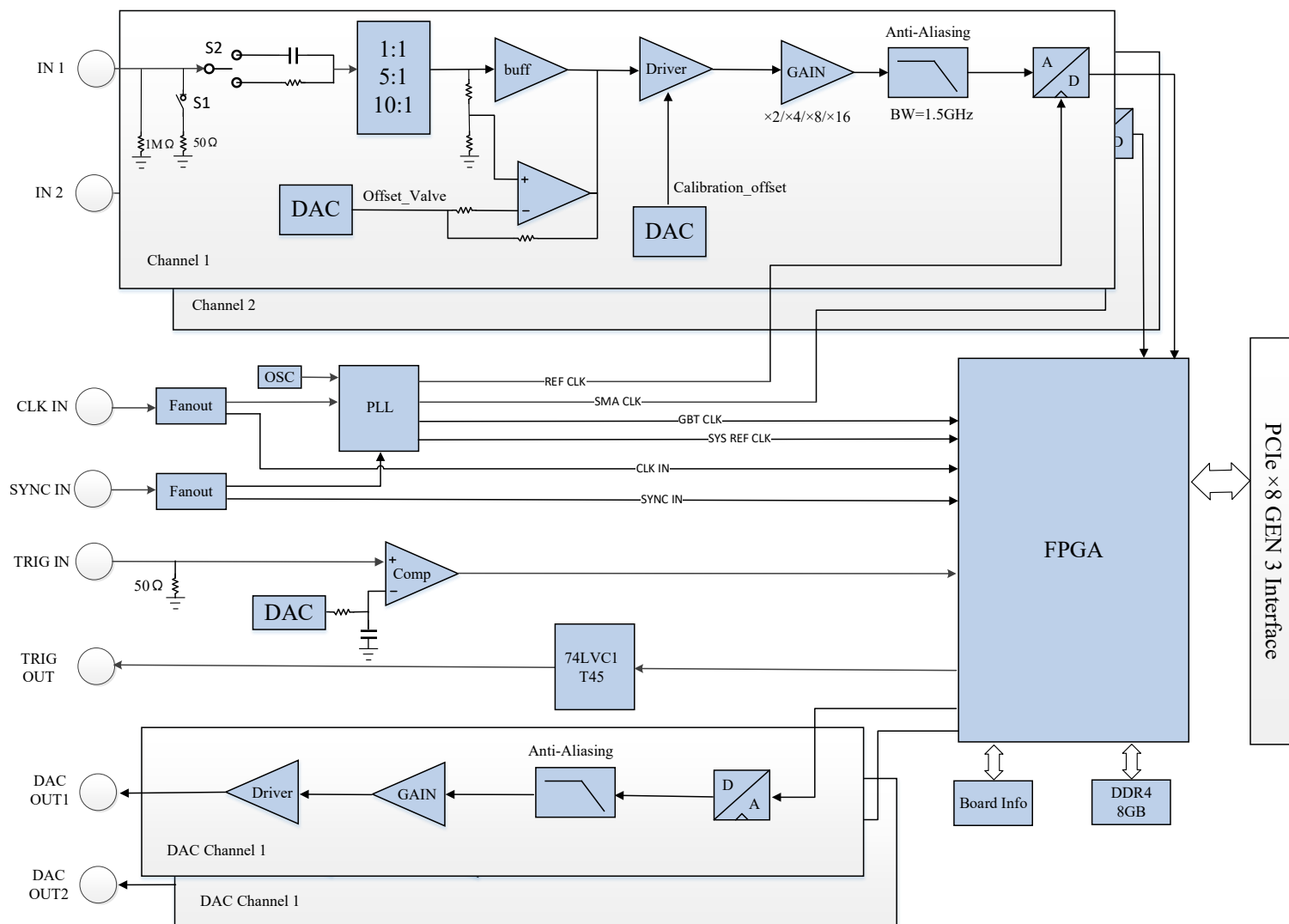


图2 电路架构示意图

软件与平台

操作系统	编程语言	支持软件
<ul style="list-style-type: none"> Windows 10, 11 Linux kernel 3.10+ 	<ul style="list-style-type: none"> C, C++, C#, Python Java, VB, Delphi 	<ul style="list-style-type: none"> HLD-DAQ MATLAB LabView

参数说明 (Specifications)

参数	规格	备注	
模拟输入 ADC	采样率	5Gsp/s / 2.5Gsp/s	程控选择
	分辨率	14 Bit / 12Bit	T03 为 12 位
	模拟带宽	1.5GHz	固定
	输入类型	单端	MCX 内孔
	输入阻抗	50Ω / 1MΩ	程控选择
	耦合方式	AC / DC	程控选择
	输入范围	±10V/±5V/±2V/±1V/±500mV/±250mV / @50Ω	程控选择
		±1V/±500mV/±250mV/±125mV @1MΩ	程控选择
	输入偏置	- 5V to + 5V @±10Vpp @50Ω - 0.5V to + 0.5V @±1Vpp@1MΩ	程序配置
	串扰	>80dB	ADC>90dB
	信噪比 (SNR)	>57dBFS	f _{in} = 155MHz
		>55dBFS	f _{in} = 900MHz
		>54dBFS	f _{in} = 2100MHz
错误率 (CER)	9 × 10 ⁻⁹ Errors	AVDD1=0.975V	
有效位宽 (ENOB)	9.8 Bits	f _{in} = 155MHz	
	9.5 Bits	f _{in} = 900MHz	
	9.1 Bits	f _{in} = 2100MHz	
RMS 噪声	典型值 1.6mV 最大值 2.0mV	4Vpp@50Ω	
	典型值 0.6mV 最大值 0.9mV	500mVpp@50Ω	
模拟输出 DAC	采样率	≤ 6Gsp/s	程控配置 PLL
	分辨率	14 Bit	
	输出最大频率	≤ 500MHz	
	输出范围	±5V @100MHz ±1V@500MHz	@正弦波
	数据量	≤ 16K	

触发输入 TRIG IN	输入类型	单端	MCX 内孔
	输入标准	5V TTL	最大 5V
	比较器阈值	0 至 3V	程序配置
	触发条件	上升沿、下降沿	详见“触发”
	触发与数据同步精度	≤64ps	内部 TDC 同步
触发类型	外部触发	详见触发输入	TRIG IN
	内部触发	内部信号源触发	TRIG OUT
	数据触发	多种触发类型	详见“触发类型”
	自由采集	循环自由采集	
采样	单次最大采样点 T	触发前+触发后 ≤ 8GB-64@ 1CH 触发前+触发后 ≤ 4GB-32@ 2CH	程序配置， 详见“工作模式”
	触发前样本最大 N	≤8191×16Bit/通道	
	触发后样本最大 M	≤ 8G-64@ 1CH ≤ 4G-32@ 2CH	
	采集模式	预触发、延迟触发	支持客户定制
	时间戳	相对时间	
时钟	时钟模式	内部 PLL, 外部参考输入	
	内部时钟精度	≤ ±20 ppm (校准前)	100MHz VCXO
		≤ ±40 ppb (校准后)	1Hz 秒脉冲校准
	外部时钟输入类型	单端	MCX 内孔
	外部时钟输入范围	10MHz~400MHz	默认 100MHz
耦合方式	直流 (50 Ω)		
同步输入	同步信号输入类型	单端	MCX 内孔
	同步方式	脉冲同步	
	信号类型	TTL	
传输接口	PCIe×8 Gen 3	使用 PCIe×8 或×16 插槽	
	传输方式	DMA	
其它	尺寸	1 个标准插槽	带散热风扇
	供电	PCIe	可选 6PIN

接口说明

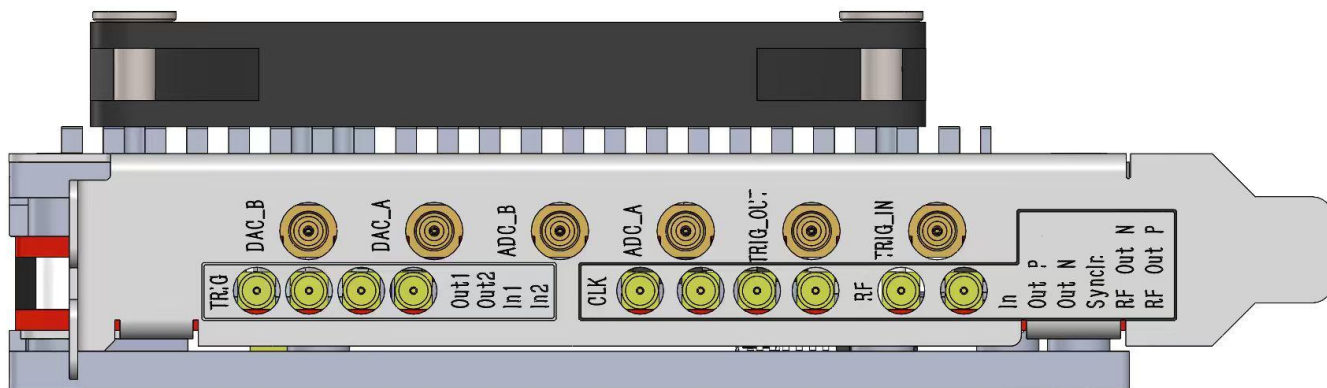


图3 电路架构示意图

表 1: 接口说明

名称	功能	说明	
TRIG_IN	系统触发输入，ADC 采集模块以及 DAC 输出模块的触发信号	MCX 内孔接头	
TRIG_OUT	内部触发信号输出	MCX 内孔接头	
ADC_A、ADC_B	2 路 ADC 输入通道	MCX 内孔接头	
DAC_A、DAC_B	2 路 DAC 输出通道	MCX 内孔接头	
TRIG	Out1	DAC1 的同步输出	MMCX 内孔接头
	Out2	DAC2 的同步输出	MMCX 内孔接头
	In1	预留	MMCX 内孔接头
	In2	预留	MMCX 内孔接头
CLK	In	时钟同步输入	MMCX 内孔接头
	Out P	时钟输出 P 信号	MMCX 内孔接头
	Out N	时钟输出 N 信号	MMCX 内孔接头
	Sync In	时钟同步输入信号	MMCX 内孔接头
	RF Out N	时钟测试信号	MMCX 内孔接头
	RF Out P	时钟测试信号	MMCX 内孔接头

数据采集工作模式（ADC）

1 顺序预触发模式（带时间戳）

在该模式下，用户设置好触发前采样点数（ N ）、触发后采样点数（ M ）以及触发次数（ F ）这3个参数，然后开始运行后就会按照设置好的参数进行数据采集。顺序触发模式的工作示意如下图4所示：

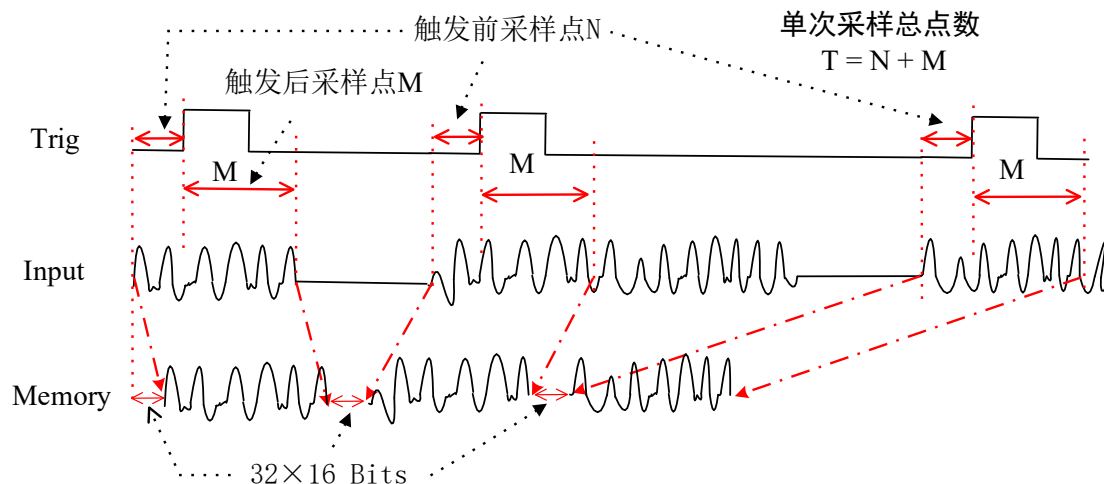


图4 顺序预触发工作模式示意图

2 顺序延迟触发模式（带时间戳）

在该模式下，用户设置好单次触发后的总采样点数（ $M = T$ ）、触发后延迟点数（ D ，可为0）以及触发次数（ F ）这3个参数，然后开始运行后就会按照设置好的参数进行数据采集。顺序延迟触发模式的工作示意如下图5所示：

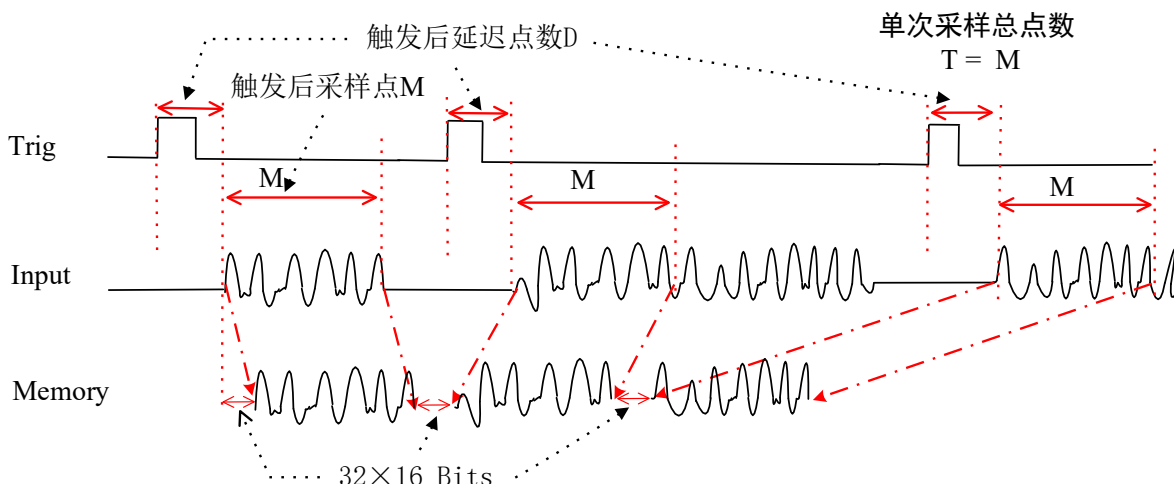


图5 顺序延迟触发工作模式示意图

注意： 设置参数时会有一些限制，具体如下：

单通道采集时：

- 1) 当ADC位模式为BIT_16时，触发前ADC采样存储的点数 N ，加上触发后ADC采样存储的点数 M 的总数为 T ， **T 需可被32整除**；另外(((触发前ADC采样存储的点数 N + 触发后ADC采样存储的点数 M) $\times 2 + 64$) \times 单次采集触发次数 F) 需小于(0x2_0000_0000-64)，即：

$$(N + M) = T$$

$$(T \times 2 + 64) \times F < 8GB - 64$$

- 2) 当ADC位模式为BIT_8时，触发前ADC采样存储的点数 N + 触发后ADC采样存储的点数 M 的总数为 T ， **T 需可被64整除**；另外(((触发前ADC采样存储的点数 N + 触发后ADC采样存储的点数 M) $\times 4 + 64$) \times 单次采集触发次数 F) 需小于(0x2_0000_0000-64)，即：

$$(T + 64) \times F < 8GB - 64$$

- 3) 当 N 为0时，会使用顺序延迟触发模式，此时可减少因数据重组带来的内存消耗。

双通道采集时：

- 4) 当ADC位模式为BIT_16时，触发前ADC采样存储的点数 N + 触发后ADC采样存储的点数 M 的总数为 T ， **T 需可被16整除**；另外(((触发前ADC采样存储的点数 N + 触发后ADC采样存储的点数 M) $\times 4 + 64$) \times 单次采集触发次数 F) 需小于(0x2_0000_0000-64)，即：

$$(T \times 4 + 64) \times F < 8GB - 64$$

- 5) 当ADC位模式为BIT_8时，触发前ADC采样存储的点数 N + 触发后ADC采样存储的点数 M 的总数为 T ， **T 需可被32整除**；（((触发前ADC采样存储的点数

数 N + 触发后ADC采样存储的点数 M) $\times 2 + 64$) \times 单次采集触发次数 F) 需小于 $(0x2_0000_0000 - 64)$, 即:

$$(T \times 2 + 64) \times F < 8GB - 64$$

- 6) 当 N 为0时, 会使用顺序延迟触发模式, 此时可减少因数据重组带来的内存消耗。

协议 (DLL)

1. 采购后提供;